Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение

высшего образования

ИРКУТСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

|  |
| --- |
| Институт информационных технологий и анализа данных |

наименование института

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ № 1

по дисциплине:

|  |
| --- |
| Основы цифровой электроники |
|  |

обозначение документа

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Выполнил | АСУб-20-2 |  |  |  | Арбакова А.В. |
|  | шифр группы |  | подпись |  | Фамилия И.О. |
| Проверил | доцент |  |  |  | Глухих В.В. |
|  | должность |  | подпись |  | Фамилия И.О. |

Иркутск 2021 г.

**Вариант 1:**

**Y=** **D\*C\*B+(D\*C+D+(A+D\*#C\*#B))$(A+D+#(D\*C\*B))**

**Цель работы** – приобретение навыков использования пакета САПР Quartus II при разработке схемотехнического устройства для обработки информации. В качестве схемотехнического устройства рассматривается контроллер кодового замка в системе распределенного доступа.

**Задание**

1. Подготовить проект встраиваемого в ПЛИС модуля для вычисления заданной логической функции Y= D\*C\*B+(D\*C+D+(A+D\*#C\*#B))$(A+D+#(D\*C\*B)), где A, B, C, D – биты вырабатываемые устройством считывания кода 4-х битового ключа, Y – сигнал управления исполнительным механизмом замка.

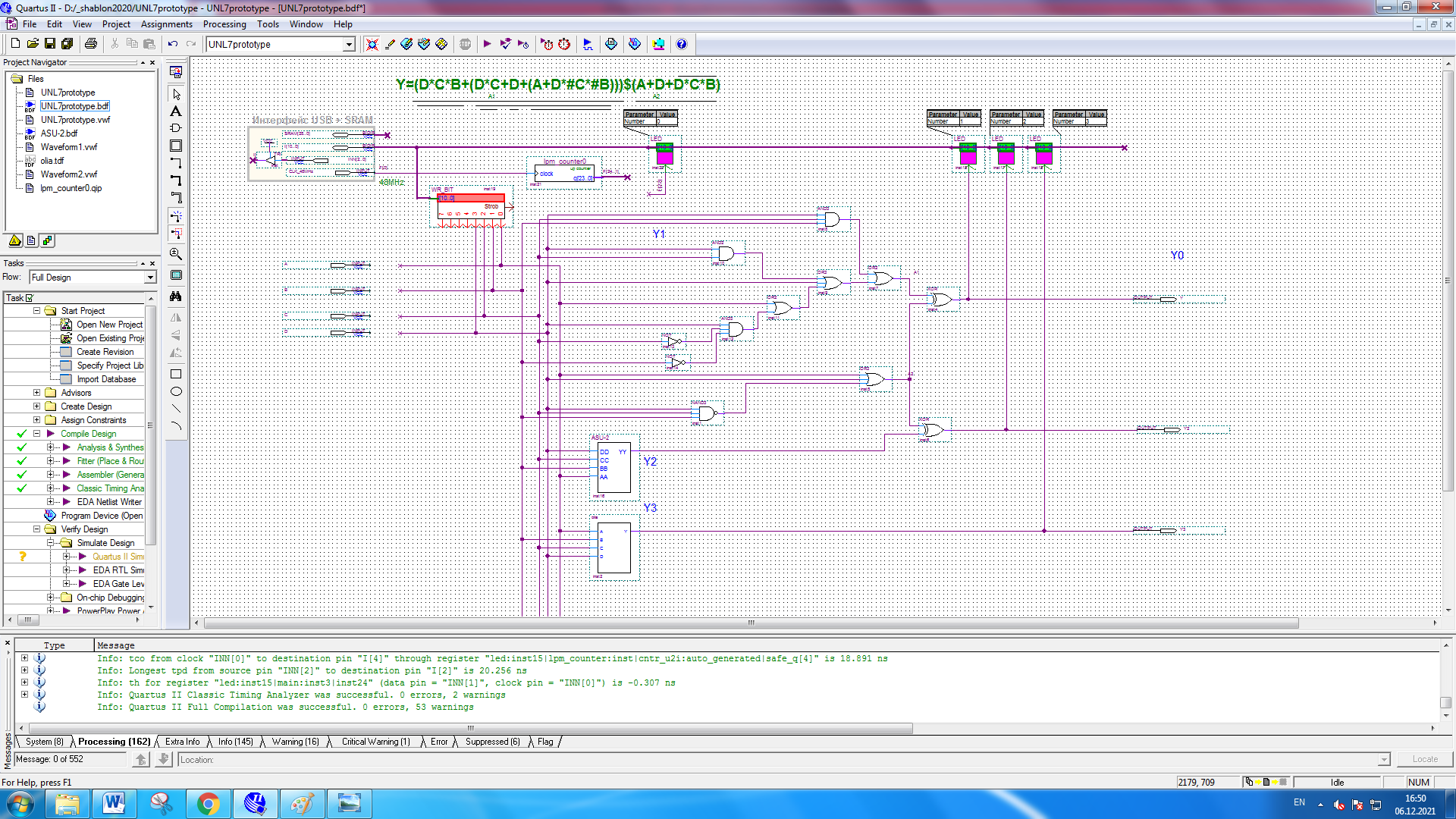
2. Осуществить компиляцию проекта в применении к микросхеме EP2C8Q208N8 семейства CYCLONE. Сформировать список цепей для функционального моделирования.

3. Подготовить файл временных диаграмм для моделирования, обеспечивающий демонстрацию 16-ти состояний 4-х битового ключа. Осуществить функциональное и временное моделирование контроллера кодового замка, построить «Таблицу истинности» для функции Y.

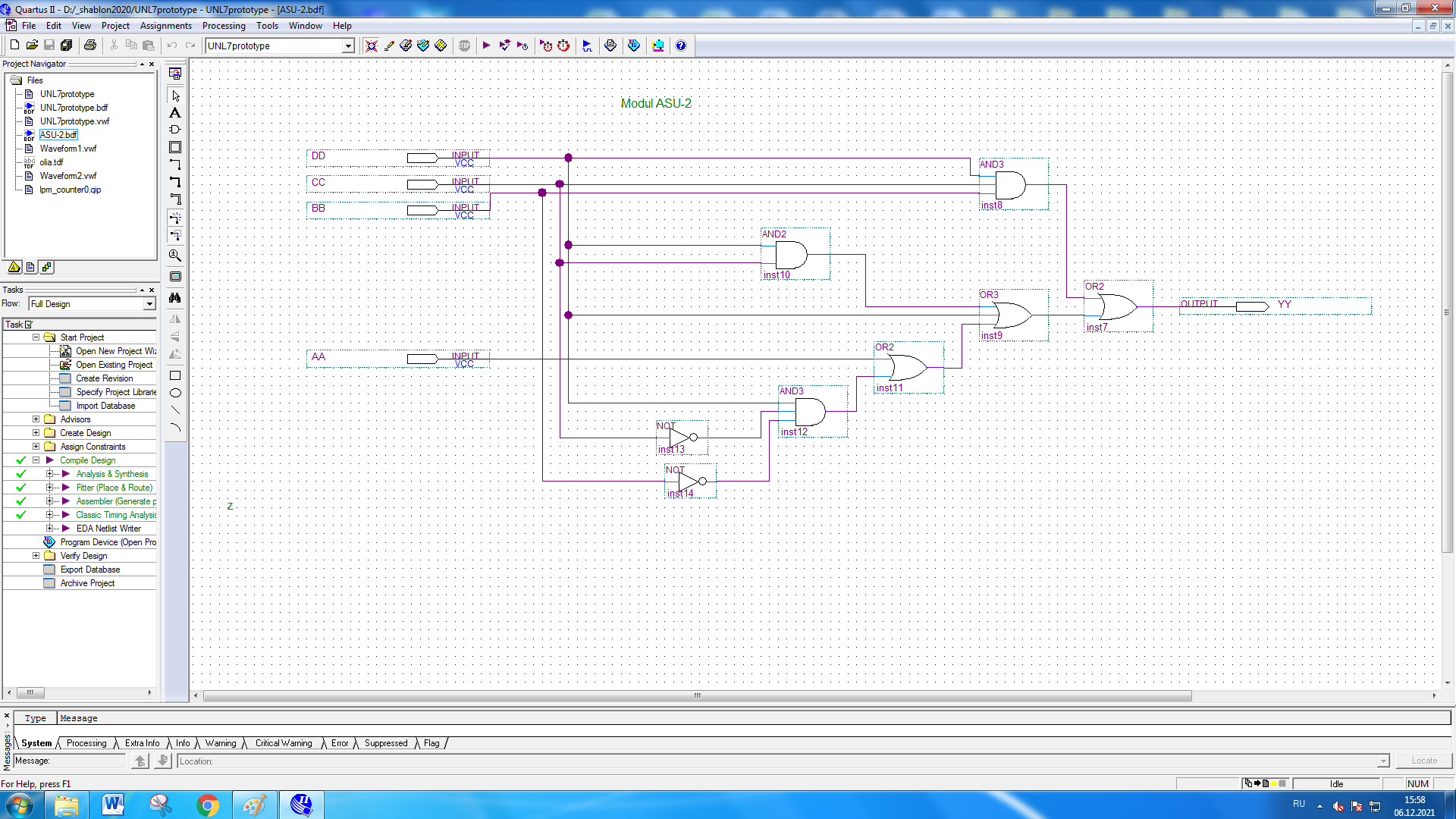
**Таблица истинности**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | C | B | A | Таблица | Y1 | Y2 | Y3 | Y4 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

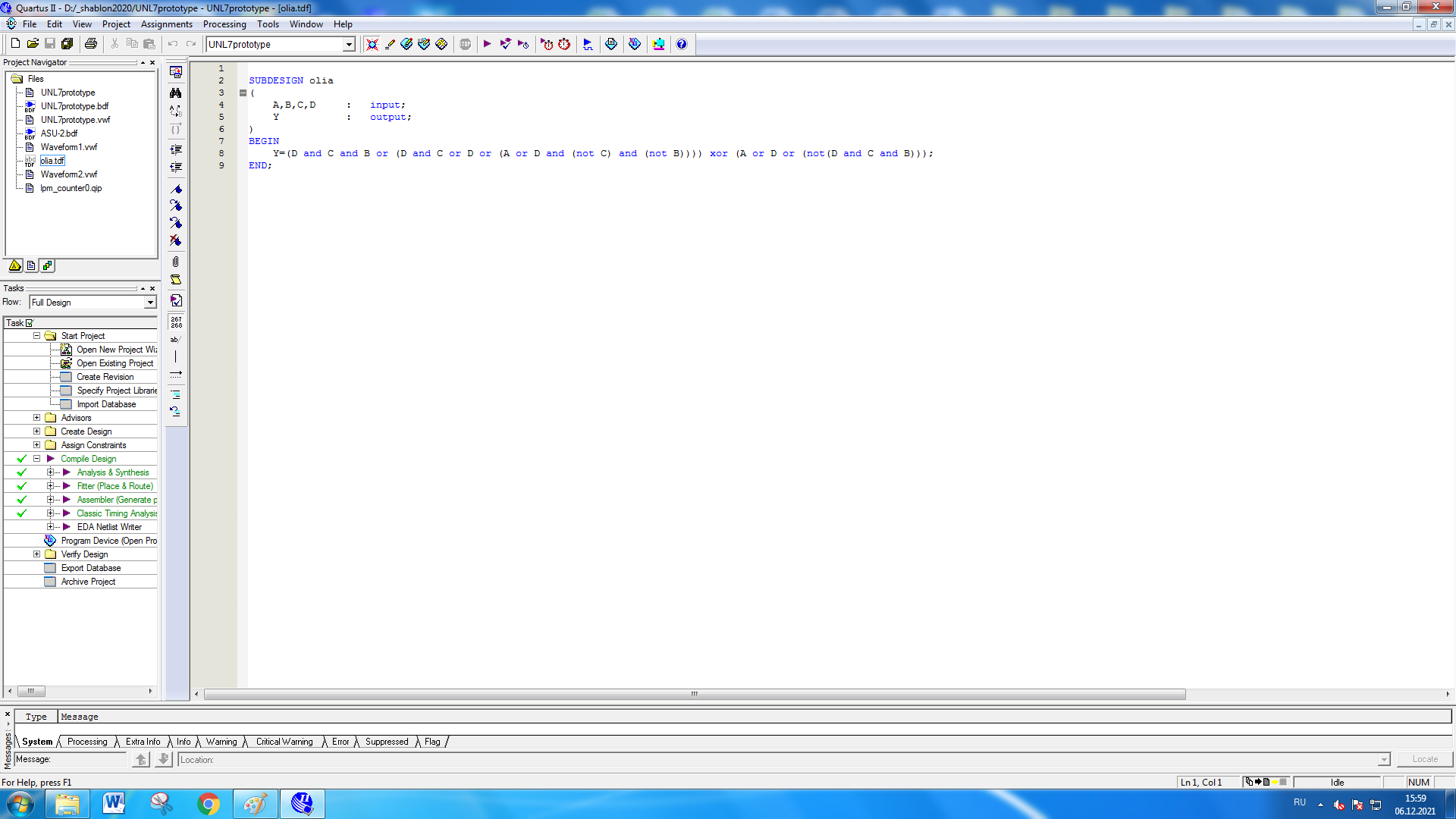
**Схема**

****

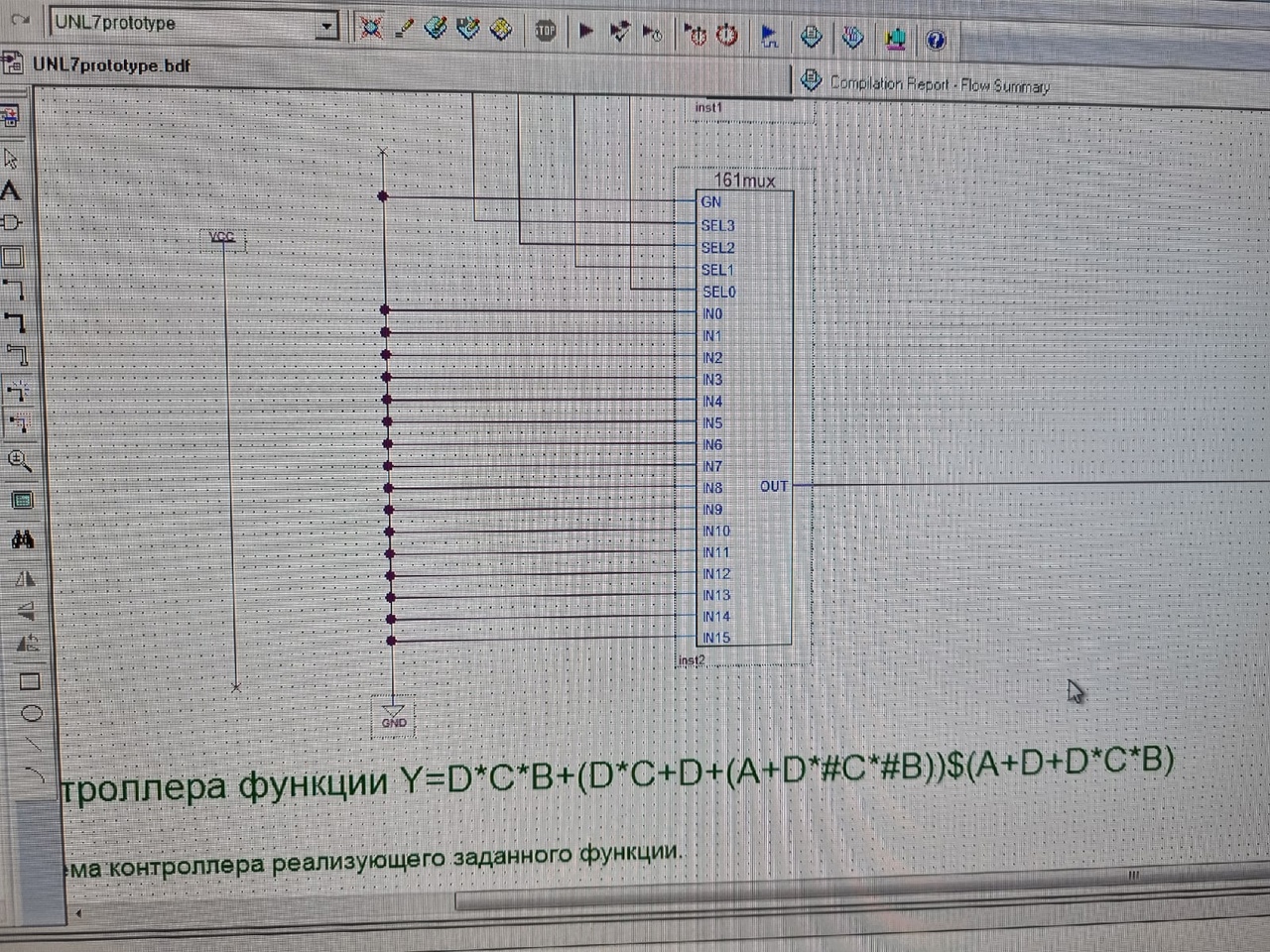
**Модуль**

****

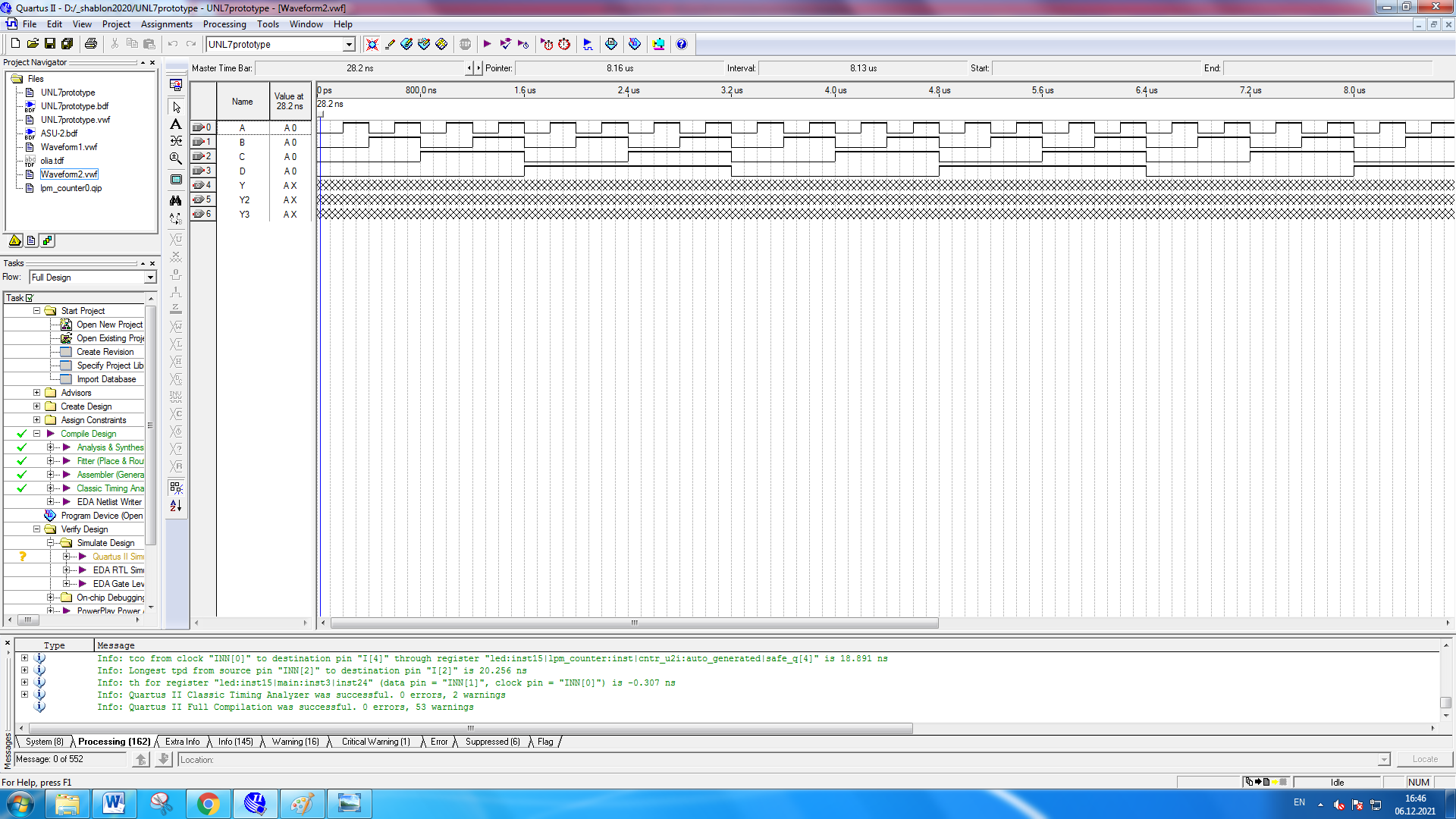
**Модуль, записанный на языке высокого уровня**

****

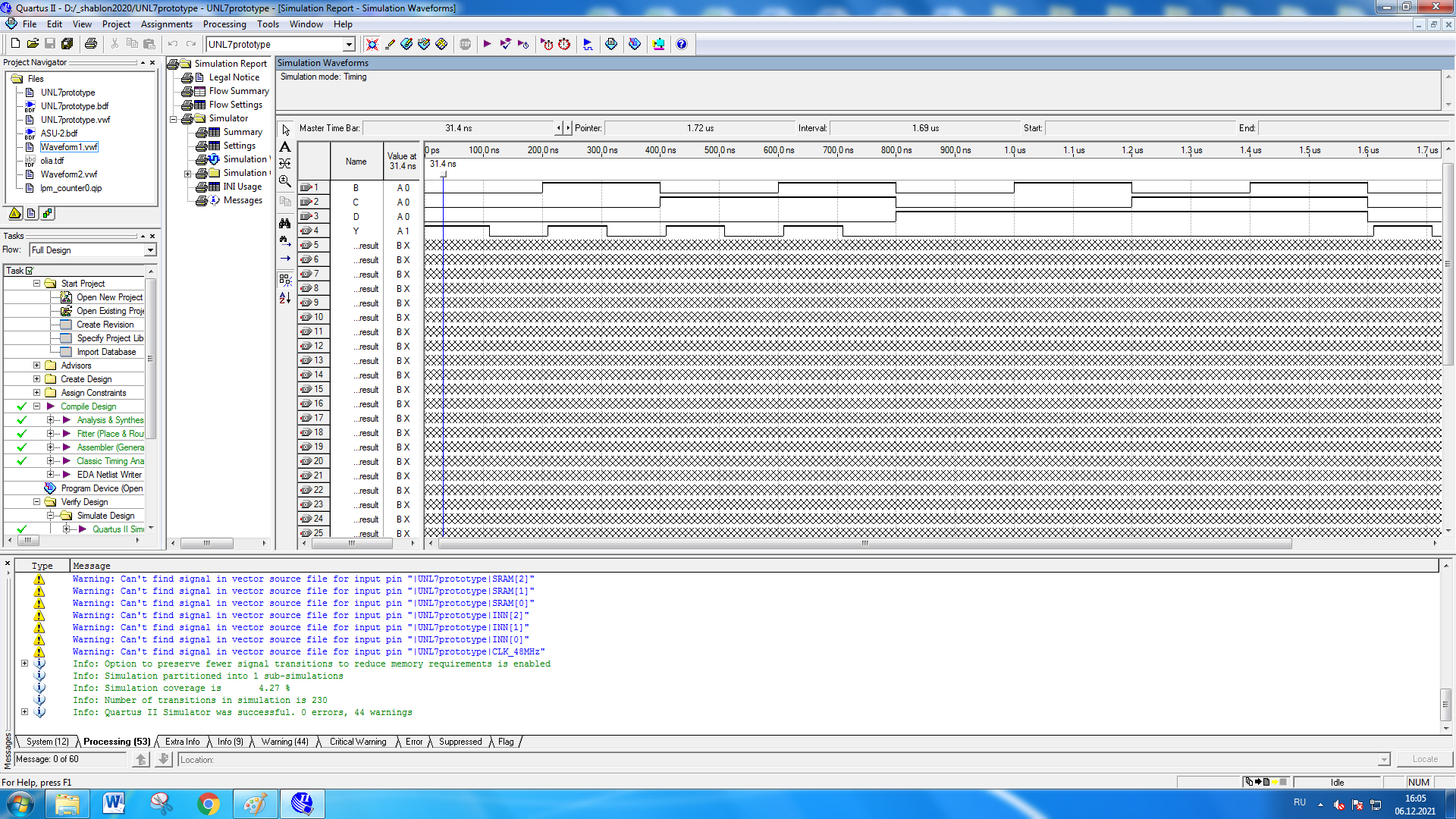
**4-х битный мультиплексор**

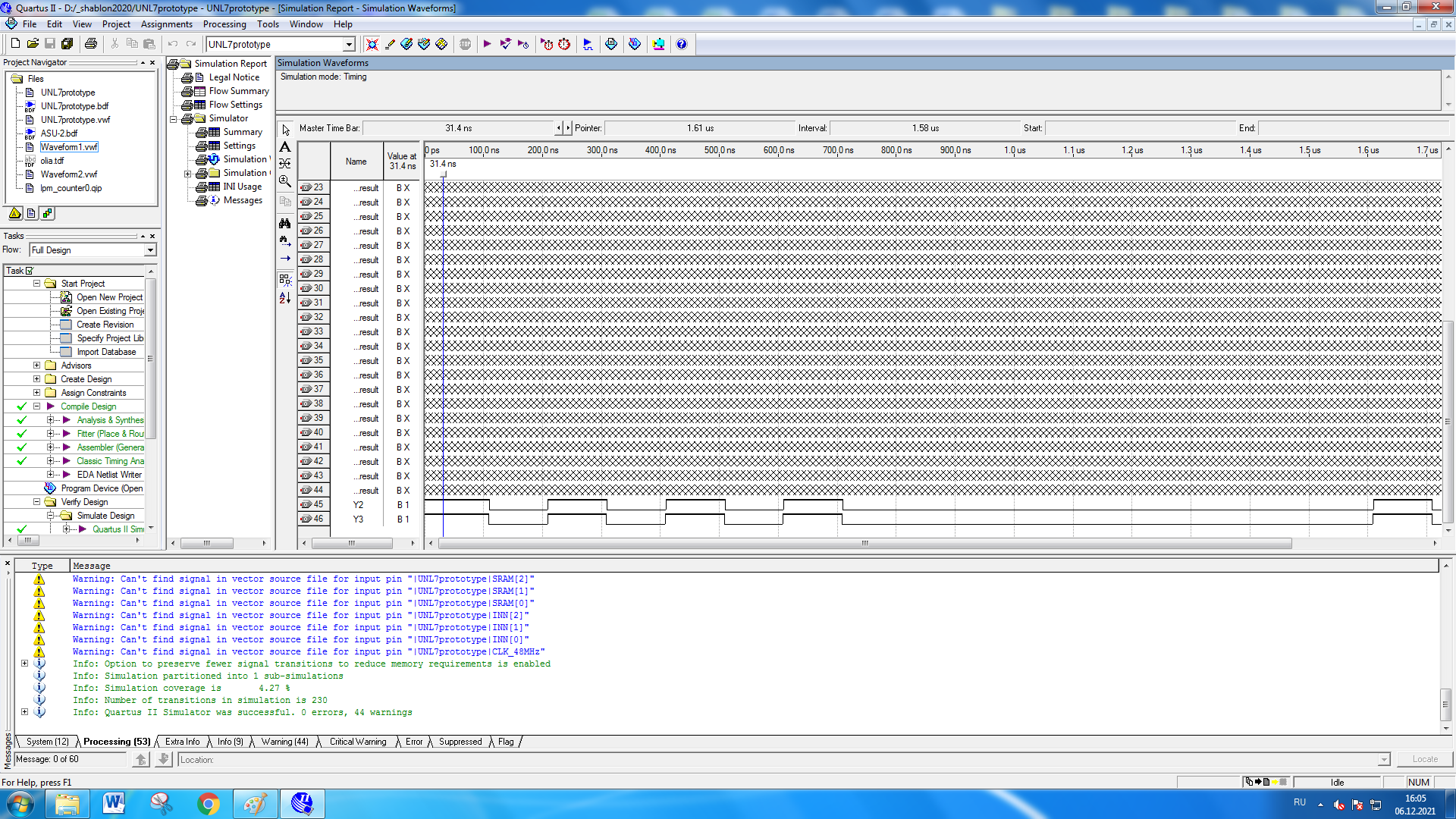
****

**Моделирование сигналов A, B, C, D**



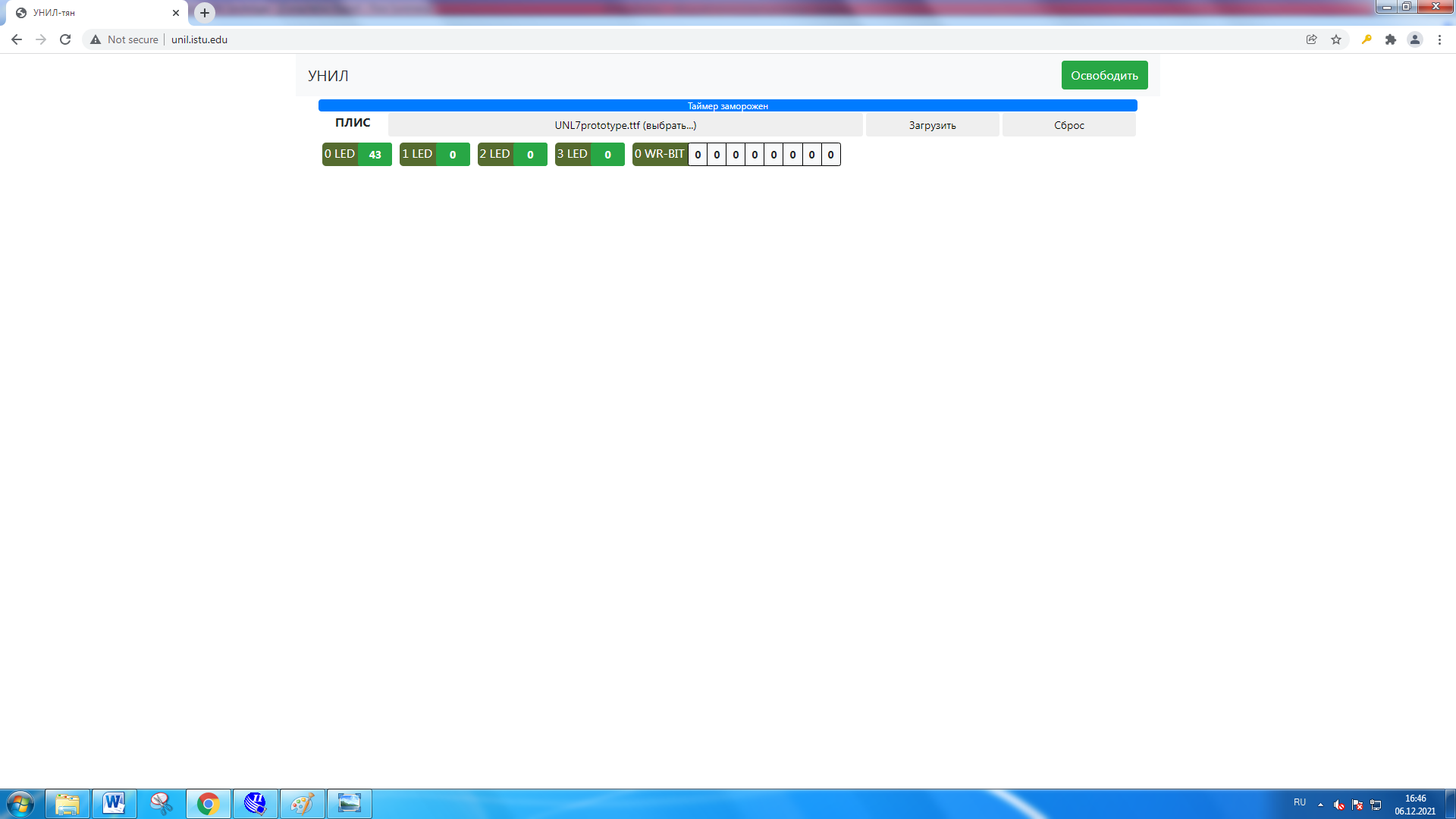
**Результаты моделирования**

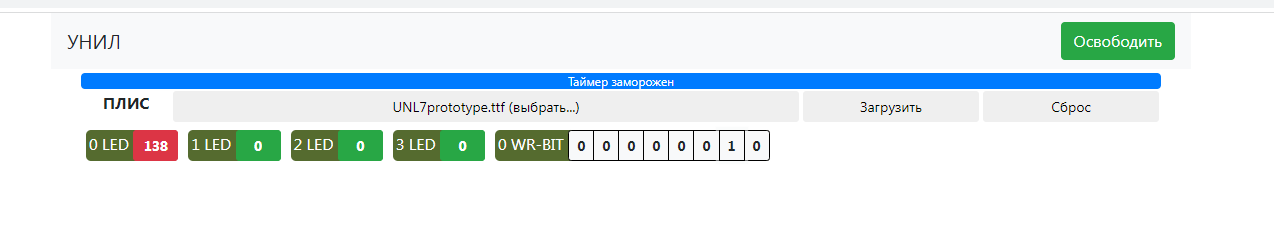
****

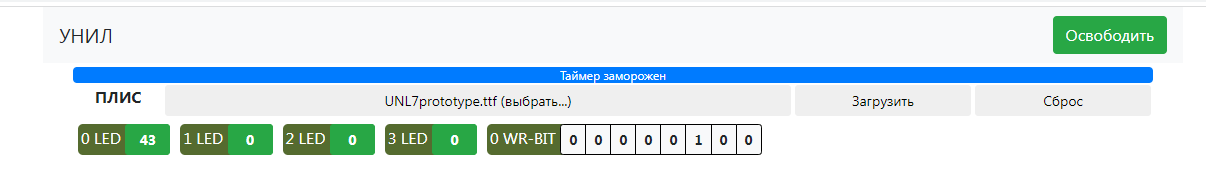
****

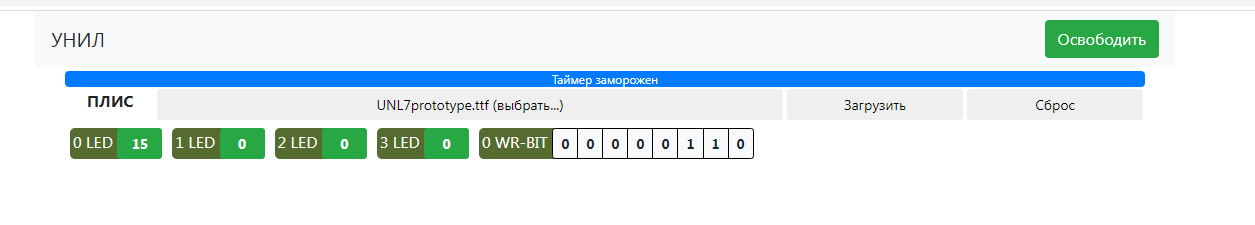
После проведения моделирования убеждаемся, что выходные сигналы Y1, Y2, Y3, Y4 сходятся с таблицей истинности.

**Моделирование на тестовом стенде**









Светодиоды 1LED, 2LED, 3LED загораются, при состояниях 00000000, 00000010, 00000100 и 00000110. Когда состояние одного из этих сигналов меняется, все светодиоды гаснут исходя из таблицы истинности.



**Заключение**

Были приобретены навыки использования пакета САПР Quartus II при разработке схемотехнического устройства для обработки информации. В качестве схемотехнического устройства рассматривается контроллер кодового замка в системе распределенного доступа. Был сделан проект встраиваемого в ПЛИС модуля для вычисления заданной логической функции, Y= D\*C\*B+(D\*C+D+(A+D\*#C\*#B))$(A+D+#(D\*C\*B)), где A, B, C, D – биты вырабатываемые устройством считывания кода 4-х битового ключа, Y – сигнал управления исполнительным механизмом замка.

Осуществлена компиляция проекта в применении к микросхеме EP2C8Q208N8 семейства CYCLONE. Сформирован список цепей для функционального моделирования.

Подготовлен файл временных диаграмм для моделирования, обеспечивающий демонстрацию 16-ти состояний 4-х битового ключа. Сделана функциональное и временное моделирование контроллера кодового замка, построена «Таблицу истинности» для функции Y.

**Список литературы**

1. Глухих В.И. Цифровая схемотехника. Технология внутрисхемного программирования. –Иркутск: Изд-во ИрГТУ,2001. –160 с.
2. Антонов А.П. Язык описания цифровых устройств AlteraHDL: Практический курс. – М.: ИП РадиоСофт, 2001. –224 с.
3. Амосов В.В. Схемотехника и средства проектирования цифровых устройств. – СПб.: БХВ-Петербург, 2007. – 560с.
4. Комолов Д.А., Мялых Р.А., Зобенко А.А., Филиппов А.С. Системы автоматизированного проектирования фирмы Altera MAX+plus II и Quartus II: Краткое описание и самоучитель. – М.: ИП РадилСофт, 2002 – 352с.
5. Стешенко В.Б. ПЛИС фирмы «Altera»: элементная база, система проектирования и языки описания аппаратуры. – М.: Изд.дом «Додэка-XXI», 2002. – 576с.
6. Кирий В.Г., Глухих В.И. Конечные автоматы. –Иркутск: Изд-во ИрГТУ,2003. –71 с.
7. Бибило П.Н. Основы языка VHDL. М.: СОЛОН-Р, 2002. 224 с.